

Citation 2:

JP Pat. Appln. Discl. No. 58-119623 - July 16, 1983

Patent Application No. 57-2170 - January 8, 1982

Priority: None

Applicant: Matsushita Electric Industrial Co. Ltd., Osaka,  
Japan

Title: Laminated composite capacitor

Detailed description of the invention

...

Hereinafter, the present invention and a conventional example are described with reference to drawings, being compared with each other. Fig. 1 shows a conventional laminated composite capacitor. A substance (1) having eight layers is formed by printing and burning a dielectric paste and an electrode paste alternately. Three capacitors ( $c_1$ ), ( $c_2$ ) and ( $c_3$ ) are provided between the electrodes (A) - (B), (C) - (D) and (E) - (F). Capacitances between the electrodes (A) - (B), (C) - (D) and (E) - (F) in Fig. 1 are as follows:

$$c_1 = \frac{8.855 \times 10^{-12} \times \epsilon \times s_1}{d} \times 8$$

$$c_2 = \frac{8.855 \times 10^{-12} \times \epsilon \times s_2}{d} \times 8$$

$$c_3 = \frac{8.855 \times 10^{-12} \times \varepsilon \times s_3}{d} \times 8$$

(Where d is a gap.)

If the size  $S_3$  of area between the electrodes (E) - (F) is assumed to be the minimum value, the minimum capacitance obtained by the conventional method is  $c_3$ .

On the other hand, Fig. 2 shows a capacitor of the present invention. As shown in Fig. 2, an intermediate electrode between laminated electrodes is removed. In this case, as the number of layers is one, the following capacitance  $c'_3$  can be obtained between the electrodes (E) - (F)

$$c'_3 = \frac{8.855 \times 10^{-12} \times \varepsilon \times s_3}{d'} \times 1$$

Here, if the thickness  $\underline{1}$  of each electrode were zero,

$$\text{*1} \quad d' = (n - 1)d = (8 - 1)d = 7d$$

$$\therefore c'_3 = \frac{8.855 \times 10^{-12} \times \varepsilon \times s_3}{7d} \times 1$$

$$c'_3 / c_3 = \frac{\frac{8.855 \times 10^{-12} \times \varepsilon \times s_3}{7d} \times 1}{\frac{8.855 \times 10^{-12} \times \varepsilon \times s_3}{d} \times 8} = \frac{1}{7 \times 8} = \frac{1}{56}$$

Therefore,  $c'_3 / c_3 = 1 / n(n - 1)$ .

\*1 「公報」では「d」を用いて、つまり「2  
前後の式」の分母から「d」が正しいかと  
思いました。

This is a remarkable method which is capable of obtaining a wider range of capacitance.

1/20

2/7

※1ヶ所

210736E

⑪ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑬ 特許出願公開  
昭58—119623

⑭ Int. Cl.<sup>3</sup>  
H 01 G 4/38  
4/30

識別記号

庁内整理番号  
2109—5E  
2109—5E

⑮ 公開 昭和58年(1983)7月16日

発明の数 1  
審査請求 未請求

(全 3 頁)

## ⑯ 積層複合コンデンサ

門真市大字門真1006番地松下電  
器産業株式会社内

⑰ 特 願 昭57—2170  
⑱ 出 願 昭57(1982)1月8日  
⑲ 発 明 者 片田恒春

⑳ 出 願 人 松下電器産業株式会社  
門真市大字門真1006番地  
㉑ 代 理 人 弁理士 山本孝

英キケなし  
内容

明 細 書

## 1. 発明の名称

積層複合コンデンサ

## 2. 特許請求の範囲

- (1) 誘電体ペーストと電極ペーストとを交互に印刷・焼成して成る積層複合コンデンサにおいて、静電容量を決定する条件の内、誘電体の誘電率 $\epsilon$ 、電極間隔 $d$ を一定とし、個々のコンデンサの電極対向面積 $s$ と層数 $n$ を任意に設定することにより、小容量から大容量までの静電容量を複合して成ることを特徴とする積層複合コンデンサ。

## 3. 発明の詳細な説明

本発明は、積層複合コンデンサに関し、特に大容量コンデンサと小容量コンデンサを積層コンデンサ1個体内に作るようにしたものである。従来より平行電極を積層してコンデンサを作

る場合、静電容量は次式より与えられる。

$$C = \frac{8.855 \times 10^{-12} \times \epsilon \times s}{d} \times n \quad [F]$$

$\epsilon$  : 誘電体の比誘電率  
 $s$  : 平行電極の対向面積 $(m^2)$   
 $d$  : 平行電極間のギャップ $(m)$   
 $n$  : 積層数

一般に積層複合コンデンサを作る場合は、上式の内、誘電体の比誘電率 $\epsilon$ 、平行電極の対向面積 $s$ 、平行電極のギャップ $d$ 、積層数 $n$ を変数として静電容量を設計し製造している。

積層複合コンデンサ設計においては、内蔵するコンデンサを $N$ 個とした場合、比誘電率 $\epsilon$ 、ギャップ $d$ 、積層数 $n$ の値を一定とし、平行電極の対向面積 $s$ で設計するのが通常である。この場合、積層複合コンデンサ1個体の大きさが決定されると最大容量が決定され、最小容量は電極の最小印刷面積で決定され、同時に内蔵し得る静電容量範囲が比較的狭い範囲しか得られない欠点があった。

本発明はこのような欠点を容易に除去し、従来の製造工法を大きく変更することなく広範囲の静電容量を得ることのできる新規な積層複合コンデンサを提供するものである。

即ち、本発明は、1個体内の各々のコンデンサ製造時に電極の対向面積 $s$ 、積層ギャップ $d$ 、積層数 $n$ を任意に変えて構成し、これによつて小容量から大容量までの静電容量を広範囲に得るようにしたものである。

このような本発明によれば、従来の方式で得られる最小静電容量と $C_1$ とした場合、最多積層数が $n$ の時、最小静電容量値が $\frac{C}{n(n-1)}$ のもので得ることができるのである(但し電極厚さを0と仮定する)。

以下、図面に従つて本願発明と従来例と対比しながら説明する。第1図は従来の積層複合コンデンサを示し、誘電体ペーストと電極ペーストとを交互に印刷・焼成して8層の1個体(I)を形成し、その電極(A)-(B)、(C)-(D)及び(E)-(F)間に3個のコンデンサ( $C_1$ )( $C_2$ )( $C_3$ )を構成したも

となる。

ここで各電極の厚さ $t$ を0と仮定すれば、

$$d = (n-1)d = (8-1)d = 7d$$

$$\therefore C_1 = \frac{8.855 \times 10^{-12} \times \epsilon \times s_1}{7d} \times 1$$

$$\frac{C_1}{C_3} = \frac{\frac{8.855 \times 10^{-12} \times \epsilon \times s_1}{7d}}{\frac{8.855 \times 10^{-12} \times \epsilon \times s_1}{d} \times 8} = \frac{1}{7 \times 8} = \frac{1}{56}$$

従つて $\frac{C_1}{C_3} = \frac{1}{n(n-1)}$ となり、広範囲の静電容量を得ることのできる画期的な方式である。

#### 4. 図面の簡単な説明

第1図(I)は従来例を示す平面図、同(II)は(I)のX-X線図、同(III)は(I)のY-Y線図、第2図は本発明の一実施例を示す断面図である。

(I)は1個体、(A)(B)(C)(D)(E)(F)は電極である。

特許出願人代理人

井垣士 山 本 孝



のであり、

第1図の各電極(A)-(B)、(C)-(D)及び(E)-(F)間に得られる静電容量は、

$$C_1 = \frac{8.855 \times 10^{-12} \times \epsilon \times s_1}{d} \times 8$$

$$C_2 = \frac{8.855 \times 10^{-12} \times \epsilon \times s_1}{d} \times 8$$

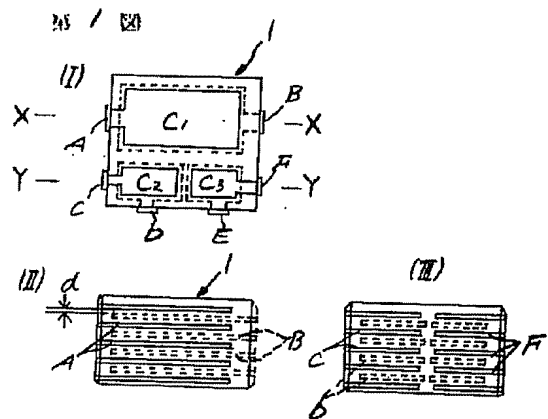
$$C_3 = \frac{8.855 \times 10^{-12} \times \epsilon \times s_1}{d} \times 8$$

である(但しギャップを $d$ とする)。

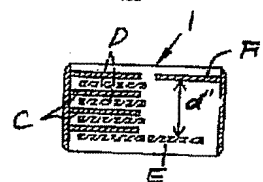
今、電極(E)-(F)間に得られる面積 $s_1$ を最小値とすれば、従来方式で得られる最小容量は $C_3$ となる。

一方、これに対し本発明は第2図に示すようにしたものである。即ち、これは第2図に示すように、積層電極の中間電極を削除したものであり、この場合には層数が1であるため、電極(E)-(F)間に得られる静電容量 $C_3'$ は、

$$C_3' = \frac{8.855 \times 10^{-12} \times \epsilon \times s_1}{d'} \times 1$$



第2図



## 手 続 補 正 書 ( 自 発 )

昭和 57 年 5 月 24 日

特許庁長官 島 田 春 樹 殿



## 1. 事 件 の 表 示

昭和 57 年 特 許 願 第 2170 号

## 2. 発 明 の 名 称

積層複合コンデンサ

## 3. 補 正 を す る 者

事件との関係 特 許 出願人

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社  
(名称)

## 4. 代 理 人

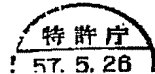
住 所 大阪市阿倍野区坂南町1丁目50番28号  
昭南ビル3階氏 名 (6893) 弁護士 山 本 孝  
電話 大阪(06) 623-7482番

## 5. 補正命令の日付

昭和 年 月 日 ( 発送日 昭和 年 月 日 )

## 6. 補 正 の 対 象

明細書の発明の詳細な説明の欄



## 7. 補 正 の 内 容

明細書第5頁第3行目

「 $d = (n-1)d = (8-1)d = 7d$ 」とあるを、「 $d' = (n-1)d = (8-1)d = 7d$ 」と訂正す

る。

## LAMINATED COMPOSITED CONDENSER

**Publication number:** JP58119623 (A)

**Publication date:** 1983-07-16

**Inventor(s):** KATADA TSUNEHARU

**Applicant(s):** MATSUSHITA ELECTRIC IND CO LTD

**Classification:**

- International: *H01G4/30; H01G4/38; H01G4/30; H01G4/38*; (IPC1-7): H01G4/30; H01G4/38

- European:

**Application number:** JP19820002170 19820108

**Priority number(s):** JP19820002170 19820108

Abstract not available for **JP 58119623 (A)**

---

Data supplied from the **esp@cenet** database — Worldwide